

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-219596

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

G11C 16/06

G05F 1/56

H02M 3/07

(21)Application number : 10-022006

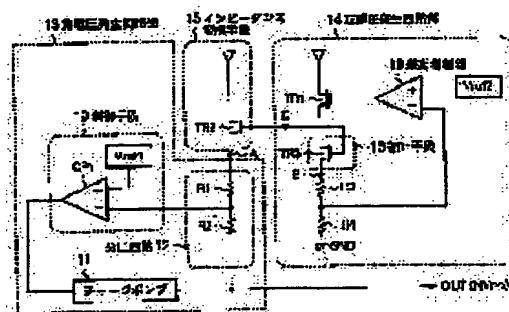
(71)Applicant : NEC CORP

(22)Date of filing : 03.02.1998

(72)Inventor : KANEKO MASATERU  
OBATA HIROYUKI  
AMAUCHI MASAKAZU  
KATO KAZUAKI  
OKU SATORU

## (54) POWER CIRCUIT FOR SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a power circuit for generating highly precise and stable negative voltage to be used for writing and erasing a flash memory.**SOLUTION:** This circuit is provided with a charge pump 11 generating negative voltage, a positive voltage generating circuit section 14 for generating positive voltage, a voltage dividing circuit 12 for obtaining a second positive voltage by dividing negative voltage and positive voltage, and a control means 10 for controlling the charge pump 11 based on the second positive voltage. The circuit is provided with also an impedance conversion means 15 arranged at an output side of the positive voltage generating circuit section 14 and converting internal impedance of the positive voltage generating circuit section 14 and transmitting it.

## LEGAL STATUS

[Date of request for examination] 03.02.1998

[Date of sending the examiner's decision of rejection] 20.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 23.01.2003

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision] 2002-13752

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219596

(43) 公開日 平成11年(1999) 8月10日

(51) Int. CL<sup>8</sup>  
 G 1 1 C 16/06  
 G 0 5 F 1/56  
 H 0 2 M 3/07

識別記号

3 1 0

F I

G 1 1 C 17/00  
 G 0 5 F 1/56  
 H 0 2 M 3/07

6 3 2 B  
 3 1 0 A

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平10-22006

(22) 出願日 平成10年(1998) 2月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 金子 真輝

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 小畑 弘之

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 天内 正和

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 稲垣 清

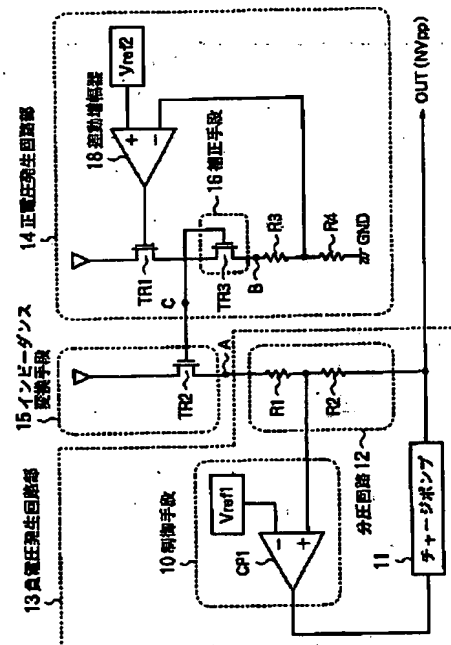
最終頁に続く

(54) 【発明の名称】 半導体装置の電源回路

## (57) 【要約】

【課題】 フラッシュメモリの書き込み及び消去に使用される高精度で安定な負電圧を生成する電源回路を提供する。

【解決手段】 負電圧を発生するチャージポンプと、正電圧を発生する正電圧発生回路部と、負電圧及び正電圧を分圧して第2の正電圧を得る分圧回路と、第2の正電圧に基づいてチャージポンプを制御する制御手段とを備える。正電圧発生回路部の出力側に配設され正電圧発生回路部の内部インピーダンスを変換して伝達するインピーダンス変換手段とを備える。



## 【特許請求の範囲】

【請求項1】 第1の電圧を成し且つ第1の極性を持つ電圧を発生する第1電圧発生手段と、第2の電圧を成し且つ第2の極性を持つ電圧を発生する第2電圧発生手段と、前記第1の極性を持つ電圧及び第2の極性を持つ電圧間を分圧して第2の極性を持つ第3の電圧を得る分圧回路と、前記第3の電圧に基づいて前記第1電圧発生手段を制御する制御手段とを備える半導体装置の電源回路において、

前記第2電圧発生手段の出力側に配設され該第2電圧発生手段の内部インピーダンスを変換して前記第1電圧発生手段に伝達するインピーダンス変換手段を備えることを特徴とする半導体装置の電源回路。

【請求項2】 前記インピーダンス変換手段はソースフォロア回路あるいはエミッタフォロア回路より構成されることを特徴とする請求項1に記載の半導体装置の電源回路。

【請求項3】 前記正電圧発生手段は前記ソースフォロア回路あるいはエミッタフォロア回路のトランジスタと同じスレッシュホールド電圧を有するトランジスタを有する補正手段を備えることを特徴とする請求項1に記載の半導体装置の電源回路。

【請求項4】 前記第1の電圧発生手段は、チャージポンプ回路であることを特徴とする請求項1乃至3のいずれかに記載の半導体装置の電源回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の電源回路に関し、特に、半導体装置に供給する電圧とは逆極性の電圧を発生するチャージポンプ回路の出力制御に関する。

## 【0002】

【従来の技術】フラッシュメモリは、不揮発性半導体装置としてプログラム及びデータ等のための記憶媒体として多用されている。フラッシュメモリに対して書き込み及び消去をする場合には、ソースとコントロールゲートとの間に16～18Vの高い電位差を与えなければならない。このフラッシュメモリにおいて初期の段階では、正電圧のみを用いた回路を使用していた。ソースの電位を0Vであるとする、消去時にはコントロールゲートに16～18Vの電圧を印加しなければならない。16Vの電圧を印加させるためには、コントロールゲートにつながる回路の耐圧を16Vにしなければならず素子サイズが大きくなり、ひいてはチップ面積が大きくなる。

【0003】しかしながら、近年では負電圧を用いることにより正の高電圧を低くする傾向にある。例えば、ソースに負電圧として-4Vを印加すると、コントロールゲートには12Vの電圧で、コントロールゲートとの間の電位差を16Vにすることができる。このため、コントロールゲートにつながる制御回路などは、その耐圧

を下げるができることによりチップ面積を低減できる。このような理由から負電圧が必要になってきた。

【0004】図3(a)及び(b)は夫々、フラッシュメモリにおける一般的なF-N方式による書込及び消去の原理を示す回路図である。同図(a)に示すように、書込み動作は、メモリセルを成すNMOSTランジスタのコントロールゲートに負電圧(-9V)を、ドレインに正の電圧(6V)を夫々印加し、フローティングゲートから電子を引き抜くことにより行われる。また、同図(b)に示すように、消去動作は、コントロールゲートに正の電圧(12V)を印加し、且つソース及びウェルに負電圧(-4V)を夫々印加し、フローティングゲートに電子を注入することにより行われる。

【0005】負電圧が安定していないと、フラッシュメモリのセルに対して、消去/書込を行った場合に消去/書込の際、電子の注入量がセルによってばらついてしまう。負電圧が規定の電圧値ないと注入量が規定値より少なくなる。経年変化により電子が徐々にリークしていくので、ある時期にセンスアンプのしきい値を越えてしまうと、書込データを読み誤る可能性がある。このため、負電圧を安定させて注入/注出電荷の量を一定にする必要がある。

【0006】特開平7-231647号公報には、フラッシュメモリに使用される従来の電源回路が記載されている。図4を参照して同公報に記載のフラッシュメモリにおける負電圧の発生回路を説明する。

【0007】フラッシュメモリの電源回路は、正電圧を発生する正電圧発生回路部14と、負の電圧を発生する負電圧発生回路部13とを有する。正電圧発生回路部14は、フラッシュメモリに供給される図示しない所定の正電圧源によって駆動されるチャージポンプ17を有し、該チャージポンプ17は、出力電圧を分圧するキャパシタ分圧回路C3、C4の出力に基づいて、例えば12Vの電圧を発生するようにフィードバック制御される。

【0008】負の電圧を発生する負電圧発生回路部13は、制御手段10と、チャージポンプ11と、分圧回路12とで構成される。制御手段10は、コンパレータCP1を有し、基準電圧Vref1がコンパレータCP1の反転入力(-)に入力されている。分圧回路12は、正電圧発生回路部14の出力と負の電圧発生回路部13の出力との間を容量分圧し、その出力がコンパレータCP1の非反転入力(+)に接続されている。分圧回路12の出力が正電圧となるように、各キャパシタC1、C2の容量が選定されている。

【0009】分圧回路12の出力電圧は、コンパレータCP1の反転入力(-)に入力された基準電圧Vref1と比較され、その結果、分圧回路12の出力が基準電圧Vref1より高い場合には、チャージポンプ11は活性化し、降圧動作を開始する。分圧手段12の出力が基準

10

20

30

40

50

電圧 $V_{ref1}$ より低くなるとチャージポンプ11は降圧動作を停止する。以上の動作により、負電圧発生回路部13の出力電圧 $NV_{pp}$ が所定の負電圧レベルにクランプされ、フラッシュメモリの書き込み又は消去に利用される。

【0010】

【発明が解決しようとする課題】上記公報に記載の電源回路によると、負電圧発生回路部13の出力は、正電圧発生回路部14の出力と自身の出力との間を分圧する分圧回路の出力に基づいてフィードバック制御されている。ここで、正電圧発生回路部14は、フラッシュメモリに電源が投入された時点から動作を開始するので、その出力が安定するまでに所定の時間が必要である。負電圧発生回路部13は、正電圧発生回路部14が安定するまでの間にもその動作が開始される。従って、この間は、分圧回路12がその間を分圧する正電圧及び負電圧の双方が不安定である。特に、正電圧発生回路部14の内部インピーダンス及び分圧回路12を流れる電流によって生ずる電圧降下は、正電圧発生回路部14の出力の安定化を妨げ、更には、これによって負電圧発生回路部13の出力の安定化を妨げ、その安定に長い時間を必要とする。一括消去時に、複数のセルが同時に選択されると、端子OUTから大電流が流れるので、出力電圧が一時的に所定の電圧からずれる。すると、その変動がキャパシタC2を通してコンパレータCP1に伝わる。コンパレータCP1は、変動を抑えるように制御し、一定時間経過後に安定動作に入る。

【0011】また、端子OUTの変動は、キャパシタC2とC1を通して正電圧発生回路部14の出力に伝わる。この出力端は、キャパシタ分圧回路C3、C4と接続されており、前記電圧変動が帰還され、正電圧発生回路部14の出力電圧を変動させる。さらに、この変動が負電圧発生回路部13に伝わり、負電圧発生回路部13の出力電圧を変動させる。

【0012】このように、双方の電圧発生回路部13と14の出力変動が互いに影響しあい、端子OUTの電圧が安定するまでに長い時間を要するといった問題がある。

【0013】本発明の目的は、上記に鑑み、フラッシュメモリに好適な電圧回路であって、高精度で且つ安定した負電圧を電源投入後速やかに発生する半導体装置の電源回路を提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の電源装置は、第1の電圧を成し且つ第1の極性を持つ電圧を発生する第1の電圧発生手段と、第2の電圧を成し且つ第2の極性を持つ電圧を発生する第2電圧発生手段と、前記第1の極性を持つ電圧及び第2の極性を持つ電圧間を分圧して第2の極性を持つ第3の電圧を得る分圧回路と、前記第3の電圧に基

づいて前記第1の電圧発生手段を制御する制御手段とを備える半導体装置の電源回路において、前記第2電圧発生手段の出力側に配設され該第2電圧発生手段の内部インピーダンスを変換して前記第1電圧発生手段に伝達するインピーダンス変換手段を備えることを特徴とする。

【0015】本発明の半導体装置の電源回路によれば、インピーダンス変換手段によって正電圧発生回路部の出力インピーダンスを低くできるので、電源投入後の、正電圧発生回路部の出力が比較的不安定な間においても、分圧手段の出力が速やかに安定になるので、第1の電圧発生回路部及び正電圧発生回路部の双方の出力が安定に至るまでの時間が短縮できる。

【0016】インピーダンス変換手段はソースフォロア回路あるいはエミッタフォロアより構成されることが好ましい。この場合、インピーダンス変換手段の構成が簡素である。また、正電圧発生回路部は、インピーダンス変換手段のトランジスタの製造バラツキに起因する出力変動を補償する補正手段を含むことが好ましい。この場合、製造バラツキに起因する電圧発生回路の出力電圧のバラツキが抑えられる。

【0017】

【発明の実施の形態】図面を参照して本発明を更に詳細に説明する。図1は、本発明の半導体装置の電源回路の一実施形態例を示す回路図である。

【0018】本発明の半導体装置の電源回路は、正電圧発生回路14と、第1の電圧発生回路部13と、インピーダンス変換手段15と、分圧回路12とを有する。

【0019】正電圧発生回路14は、基準電圧 $V_{ref2}$ を入力する差動増幅器18と、出力トランジスタTR1と、補正手段16を成す補正トランジスタTR3と、二つの抵抗R3及びR4から成る抵抗分圧回路12とによって構成されている。出力トランジスタTR1、補正トランジスタTR3及び抵抗分圧回路R3、R4は、正電圧源とグランドGNDとの間に直列に接続されている。補正トランジスタTR3は、ソースフォロアトランジスタTR2の電圧降下分を補正するためのものである。一般に、トランジスタTR2のソース電圧はゲート電圧に比べてスレッショールド電圧 $V_t$ 分低い。差動増幅器18でトランジスタTR1のソース（ノードC）の電圧を一定にしても、製造バラツキや温度変動などによりスレッショールド電圧 $V_t$ が変動すると、トランジスタTR2のソース（ノードA）の電圧は変動してしまう。正電圧発生回路14の帰還回路に補正手段16を挿入することにより、スレッショールド電圧 $V_t$ の製造バラツキや温度変動があっても、ノードAの電圧を一定に保つことができる。従って、ノードAとノードBの電圧が同じになるように制御できる。

【0020】正電圧を成す基準電圧 $V_{ref2}$ は、差動増幅器18の非反転入力（+）に入力され、抵抗分圧回路R3、R4の出力は、差動増幅器18の反転入力（-）

に接続されている。コンパレータCP1の出力は、出力トランジスタTR1のゲートに入力されている。

【0021】出力トランジスタTR1の出力は、正電圧発生回路部14の出力として、インピーダンス変換手段15を成すトランジスタTR2のゲートに接続されている。インピーダンス変換手段15は、ソースフォロア回路として構成されている。インピーダンス変換用トランジスタのソース出力は、分圧回路12に接続されており、ドレインは正電圧源に接続されている。

【0022】負電圧発生回路部13は、制御手段10と、チャージポンプ11と、分圧回路12とで構成される。分圧回路12は、抵抗R1及びR2から成り、正電圧発生回路部14の出力と負電圧発生回路部13の出力との間を分圧し、抵抗R1及びR2の抵抗比率に基づいて、正電圧を成す第3の電圧を出力している。制御手段10は、コンパレータCP1を有し、基準電圧Vref1がコンパレータCP1の反転入力(-)に入力され、分圧回路12の出力は、コンパレータCP1の非反転入力(+)に接続されている。

【0023】図2は、チャージポンプ回路11の一例を示す。本回路では、NMOSTランジスタQ1~Qnが出力ノードとグラウンドとの間に直列に接続されている。各NMOSTランジスタQ1~Qnは、ソースとゲートとが接続され、隣接するトランジスタのドレインにつながり、夫々がダイオードとして機能する。キャパシタC1~Cnの夫々の一端は、対応するNMOSTランジスタQ1~Qnのソース及びゲートに接続され、夫々の他端には、相補信号を成すクロック信号(nおよび/n(“/”は反転信号を示す)が交互に入力される。

【0024】図2で、トランジスタQ1、Q2、Q3のソースを夫々ノードI、J、Kとする。コンパレータCP1の出力がL”から“H”になると、クロック信号(nがキャパシタC1、C3に入力され、クロック信号/n(がキャパシタC2、C4(図示しない)に入力される。

【0025】いま、クロック信号(nがL”から“H”に変化すると、ノードIとKの電位は、それまでキャパシタC1、C3に充電されていた電圧にクロック信号(nの振幅電圧分の電位が加算された電圧が発生する。このとき、ノードIの電位がGNDの電位より高いと、トランジスタQ1がONしてノードIをGNDレベルにする。また、ノードKの電位がノードJの電位より高いと、トランジスタQ3がONして、キャパシタC3に充電していた電荷をキャパシタC2へ転送する。

【0026】また、クロック信号/n(が“H”から“L”に変化すると、それまでキャパシタC1、C2に充電されていた電圧がクロック信号/n(線側に放電し、ノードJの電位は、クロック信号/n(の振幅電圧分の電位が減算された電圧になる。このとき、ノードJの電位がノードKの電位より低いと、トランジスタQ3

がONしてキャパシタC3に充電していた電荷がキャパシタC2へ転送される。

【0027】次に、クロック信号(nが“H”から“L”に変化すると、キャパシタC1、C3に充電されていた電荷がクロック信号(n線側に放電し、ノードIとKの電位は、クロック信号(nの振幅電圧分の電位が減算された電圧になる。このときノードIの電位がノードJの電位より低いと、トランジスタQ2がONしてノードIの電位を上昇させる。

【0028】また、クロック信号/n(が“L”から“H”に変化すると、ノードJの電位は、それまでキャパシタC2に充電されていた電圧にクロック信号/n(の振幅電圧分の電位が加算された電圧になる。このとき、ノードJの電位がノードIの電位より高いと、トランジスタQ2がONして、キャパシタC3に充電していた電荷がキャパシタC2へ転送される。

【0029】このような動作を繰り返すことにより、端子NVpp側からGND側へ電荷が移動し、端子NVppには負電圧が発生する。一般にキャパシタの数がnであるとすると、発生する電圧NVppは $-(n+1) \times V$ で表される。ここで、Vはクロック信号(n、/n(の振幅電圧である。

【0030】図1に戻り、正電圧を成す分圧回路12の出力は、コンパレータCP1の非反転入力(+)に入力され、基準電圧Vref1と比較される。分圧回路12の出力が基準電圧Vref1より高い場合には、コンパレータCP1の出力が“H”になりチャージポンプ回路11は降圧動作を開始する。分圧回路12の出力が基準電圧Vref1より低くなると、コンパレータCP1の出力信号が“L”になり、チャージポンプ回路11は降圧動作を停止する。以上の動作により、負電圧発生回路部13の出力電圧NVppは所定の負電圧レベル(-9V)にクランプされ、フラッシュメモリの書き込み又は、消去に利用される。

【0031】本実施形態例においては、正電圧発生回路部14と分圧回路12との間に、インピーダンス変換手段15を成すソースフォロア回路を配設したので、分圧回路12を流れる電流によって分圧回路に供給される電圧の変化が小さい、いわゆる低インピーダンス電源が得られる。

【0032】更に、本実施形態例では、正電圧発生回路部14をチャージポンプによって構成しないため、電源投入後に正電圧発生回路部14の出力が速やかに安定になるので、負電圧発生回路部13の出力も速やかに安定になる。

【0033】正電圧発生回路14と負電圧発生回路13との間にインピーダンス変換手段15を設け、緩衝増幅器として機能させることにより、出力端子OUTの電圧が一時的に変動しても、負電圧発生回路13が変動するだけで、正電圧発生回路14には変動の影響が及ばな

10

20

30

40

50

い。従って、出力電圧が外的要因で変動しても、すぐに一定電圧に収束する。

【0034】補正手段16は、インピーダンス変換手段15のトランジスタTR2におけるプロセス条件等の変化によって生じるスレッシュホールド電圧 $V_t$ のバラツキによる電圧変動を補償する。この理由は以下の通りである。正電圧発生回路部14では、補正トランジスタTR3のソース電圧が正確に $V_{ref2}$ に維持される。正電圧発生回路部14の出力は、この $V_{ref2}$ に抵抗R3の電圧降下と補正トランジスタTR3のスレッシュホールド電圧 $V_t$ とを加えた値になる。インピーダンス変換手段15のトランジスタTR2の出力は、正電圧発生回路部14の出力よりトランジスタTR2の $V_t$ を減じた値になり、トランジスタTR3の $V_t$ とトランジスタTR2のスレッシュホールド電圧 $V_t$ とは等しいので、結局、インピーダンス変換手段15の出力は $V_{ref2}$ と抵抗R3の電圧降下とを加えた値となり、正確な電圧が得られる。

【0035】インピーダンス変換手段15に使用されるトランジスタTR2のスレッシュホールド電圧 $V_t$ の製造バラツキが小さい場合や、そのバラツキが無視できる場合には、補正手段16を成すトランジスタTR3を省くこともできる。この場合には、トランジスタTR2の出力が $V_t$ 分減じた値になることを考慮し、抵抗R3、R4の分割比を変えることで、ノードAの電圧を補正トランジスタTR3がある場合と同じにすることができる。

【0036】本実施の形態では、外部から半導体装置に正の電源電圧が供給されて、制御手段10や差動増幅器18を正の電圧で動作させ、負の電圧を発生させる例を示した。これに対し、外部から半導体装置に負の電源電圧が供給される場合には、制御手段10や差動増幅器18を負の電圧で動作させ、チャージポンプ11で正の電圧を発生させることもできる。また、本実施の形態では、MOSトランジスタで構成した例を示したが、バイポーラトランジスタで構成してもよい。このとき、ドレ\*

\* イン、ゲート、ソースは、コレクタ、ベース、エミッタと夫々読み変えればよい。

【0037】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置は、上記実施形態例の構成にのみ限定されるものでなく、上記実施形態例の構成から種々の修正および変更を施した半導体装置も、本発明の範囲に含まれる。

【0038】

【発明の効果】フラッシュメモリに使用され、半導体装置に印加される電圧と異なる極性の電圧を発生する電源回路において、第2電圧発生手段の内部インピーダンスを変換して、前記第1電圧発生手段に伝達するインピーダンス変換手段を備えたことにより、第2電圧発生手段の電圧の変動が第1電圧発生手段に伝搬されず、高精度で安定した電圧を速やかに発生することができる。

【図面の簡単な説明】

【図1】本発明の実施形態を示す回路図である。

【図2】負電圧生成チャージポンプ回路の例を示す。

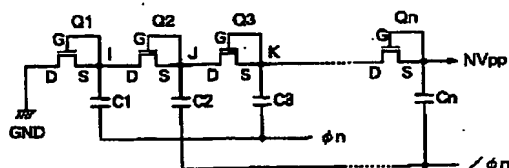
【図3】書込、消去の原理を示す回路図で、(a)は、書込(b)は、消去を示す。

【図4】従来例を示す回路図である。

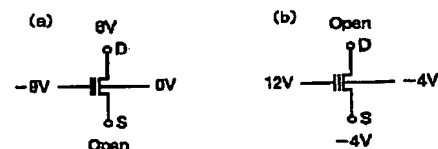
【符号の説明】

- 10 制御手段
- 11 チャージポンプ
- 12 分圧回路
- 13 負電圧発生回路部
- 14 正電圧発生回路部
- 15 インピーダンス変換手段
- 16 補正手段
- 17 チャージポンプ
- 18 差動増幅器
- R1~R4 抵抗
- C1~C4 キャパシタ
- CP1、CP2 コンパレータ
- TR1~TR3 トランジスタ
- $V_{ref1}$ 、 $V_{ref2}$  基準電圧

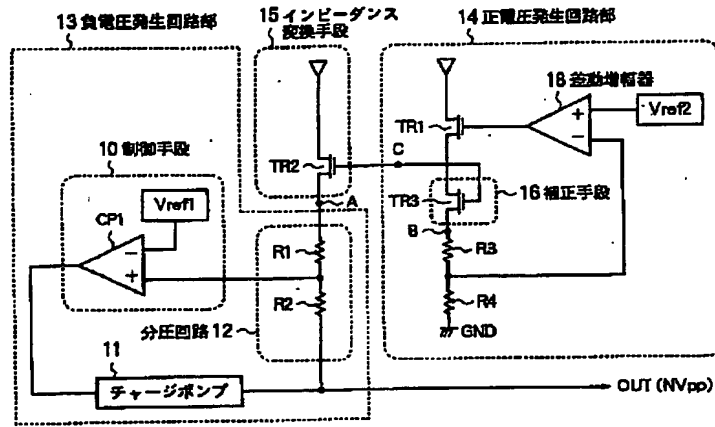
【図2】



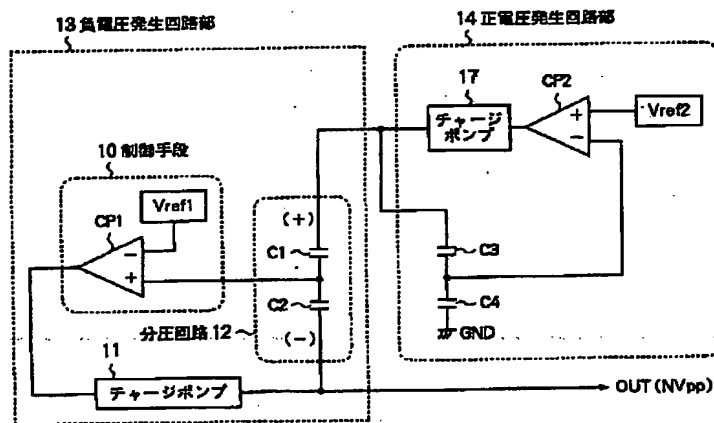
【図3】



【図1】



【図4】



フロントページの続き

(72)発明者 加藤 一明  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内

(72)発明者 奥 悟  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内